

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-289251

(43)公開日 平成9年(1997)11月4日

(51)IntCl.⁵

H 0 1 L 21/82

識別記号

庁内整理番号

F I

H 0 1 L 21/82

技術表示箇所

B

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21)出願番号 特願平8-100926

(22)出願日 平成8年(1996)4月23日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岡 晶久

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 弁理士 滝本 智之 (外1名)

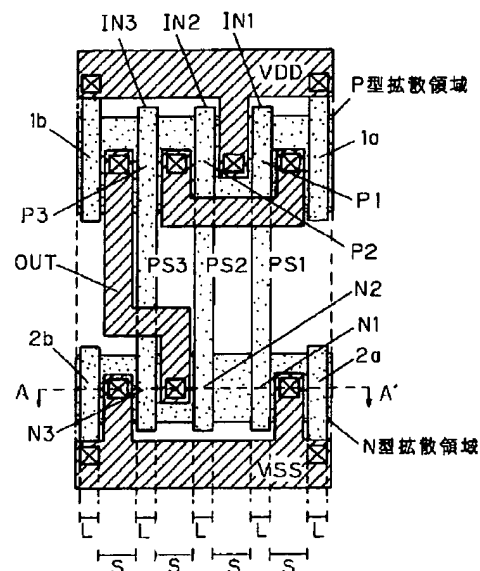
(54)【発明の名称】 半導体集積回路のレイアウト構造およびその検証方法

(57)【要約】

【課題】 トランジスタのゲート長ばらつきを押さえ、スタンダードセルを用いてブロックの設計をおこなう際に考慮しなければならない最大伝搬遅延係数を小さくし、より高速で動作するLSIを提供する。

【解決手段】 スタンダードセルのすべての活性なトランジスタP1,P2,P3,N1,N2,N3を形成するポリシリコンゲートPS1,PS2,PS3のゲート長を一定値L、間隔を一定値Sとするとともに、活性なトランジスタが隣接しないところでは、常にオフ状態となっているPチャネルダミートランジスタ1a,1bおよびNチャネルダミートランジスタ2a,2bまでのポリシリコンゲートの間隔も一定値Sとする。このようにポリシリコンゲートを一定間隔で配置することにより、プロセス露光時の回折光などの影響を同一にし、ポリシリコンゲート長ばらつきを押さえる。

1a,1b Pチャネルダミートランジスタ
2a,2b Nチャネルダミートランジスタ



【特許請求の範囲】

【請求項1】 MOSFETゲートと拡散領域によってトランジスタを形成し、複数の活性なトランジスタのMOSFETゲート間隔を一定にするとともに、活性なトランジスタが隣接しないところでは、そのトランジスタが常にオフ状態となるMOSFETゲートをもつダミートランジスタを、上記複数の活性なトランジスタと同一のMOSFETゲート間隔となるよう配置することを特徴とするスタンダードセルを用いた半導体集積回路のレイアウト構造。

【請求項2】 個々のスタンダードセル内に、スタンダードセルを配置する際に隣接する両サイドにダミートランジスタを形成しておき、隣接するスタンダードセルのダミートランジスタ同士を重ねて、複数のスタンダードセルを配置することを特徴とする請求項1記載の半導体集積回路のレイアウト構造。

【請求項3】 ダミートランジスタからなるダミーセルを、隣接するスタンダードセルの間に配置するとともに、スタンダードセル列の両サイドにも配置することを特徴とする請求項1記載の半導体集積回路のレイアウト構造。

【請求項4】 レイアウトパターンのダミートランジスタ部を認識するステップと、そのダミートランジスタ部を除き、レイアウトパターンとネットリストとの比較検証をおこなうステップとを具備することを特徴とするスタンダードセルを用いた半導体集積回路の検証方法。

【請求項5】 前記ダミートランジスタ部を認識するステップは、認識したレイアウト接続関係からオフ状態となっているゲートをもつトランジスタをダミートランジスタ部と認識することを特徴とする請求項4記載の半導体集積回路の検証方法。

【請求項6】 前記ダミートランジスタ部を認識するステップは、レイアウトパターンのダミートランジスタ部に検証除外領域を設定するとともに、トランジスタ認識において、検証除外領域を除くP型拡散領域とポリシリコンゲートが交わった部分をPチャネルトランジスタの入力ゲートと認識するステップと、検証除外領域を除くP型拡散領域でポリシリコンゲートと交わっていない部分をPチャネルトランジスタのソース/ドレイン領域と認識するステップと、検証除外領域を除くN型拡散領域とポリシリコンゲートが交わった部分をNチャネルトランジスタの入力ゲートと認識するステップと、検証除外領域を除くN型拡散領域でポリシリコンゲートと交わっていない部分をNチャネルトランジスタのソース/ドレイン領域と認識するステップからなることを特徴とする請求項4記載の半導体集積回路の検証方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スタンダードセルを用いて配置配線して作成する半導体集積回路のレイアウト構造とその検証方法に関するものである。

【0002】

【従来の技術】 図9(a)に従来のスタンダードセルの一例のレイアウトパターンを示し、図9(b)にその回路図を、図9(c)にその論理図を示す。

【0003】 図9(a)に右斜め斜線で示すパターンはアルミニウム配線で、VDDは電源ライン、VSSは接地ライン、IN1, IN2, IN3は入力ノード、OUTは出力ノードである。3つの入力ノードIN1, IN2, IN3につながる3つのポリシリコンパターンPS1, PS2, PS3が、P型拡散領域と交わる部分がPチャネルトランジスタP1, P2, P3となり、N型拡散領域と交わる部分がNチャネルトランジスタN1, N2, N3となる。P型拡散領域とN型拡散領域以外の領域はフィールド酸化膜が形成される。

【0004】 半導体製造プロセスは一般的に、レジストコート→プリベーク→露光→現像→エッチング→レジスト除去というホトリソグラフィ技術を用いておこなわれ、ポリシリコンによるMOSFETゲート形成にもそれが適用される。このうち、MOSFETゲート形成の露光工程では、微細化が進むにつれて、フィールド酸化膜などの段差部からの反射光や、回折光の影響によるレジストパターンの細りが生じてきている。

【0005】 図9(a)の破線B-B'で示す部分の断面を例に、この細りに関して図10を用いてもう少し詳細に示す。図10(a)はホトリソグラフィ技術で露光、現像が終了した状態を示している。プロセス露光時の回折光などの影響により、レジストの残りが少なくなり、本来所望の幅よりもポリシリコンに接しているレジスト部分の幅が小さくなっている。この細りは、ポリシリコンパターンから隣接するポリシリコンパターンや、フィールド酸化膜までの距離が小さいほど大きくなる。エッチング、レジスト除去をおこなった後の状態を図10(b)に示す。最終的な3つのポリシリコンのパターン幅、すなわちNチャネルトランジスタN1, N2, N3のゲート長が、 $L11 \neq L12 \neq L13$ という同一でなく、ばらつきのある関係になっていた。

【0006】 次に図11(a)に従来のレイアウトパターンとネットリストとの比較検証フローを示す。図11(a)のステップ110では、EDIFなどのセルレベルのネットリストと、SPICEなどの各セルのトランジスタレベルの回路情報からブロックのネットリストの接続関係を認識する。ステップ120では、レイアウトパターンデータの各レイヤーの配置情報を抽出する。ステップ130では、ステップ120で抽出した各レイヤーに関してトランジスタ認識をおこなう。ステップ140では、ステップ120で抽出した各レイヤーに関して、アルミ配線やアルミ配線同士を接続したりするコンタクトの認識をおこなう。ステップ150では、ステップ130とステップ140で認識したトランジスタ、配線、コンタクトからレイアウトの接続関係を認識する。そして、ステップ160では、ステップ110で認識したネットリ

ストの接続関係と、ステップ150で認識したレイアウトの接続関係との比較照合をおこない、その結果を出力する。

【0007】図11(a)のステップ130のトランジスタ認識について、もう少し詳細に図11(b)を用いて説明する。図11(b)のステップ130(1)では、P型拡散領域とポリシリコンゲートが交わった部分をPチャネルトランジスタの入力ゲートと認識する。ステップ130(2)では、P型拡散領域でポリシリコンゲートと交わっていない部分をPチャネルトランジスタのソース/ドレイン領域と認識する。ステップ130(3)では、N型拡散領域とポリシリコンゲートが交わった部分をNチャネルトランジスタの入力ゲートと認識する。ステップ130(4)では、N型拡散領域でポリシリコンゲートと交わっていない部分をNチャネルトランジスタのソース/ドレイン領域と認識する。

【0008】このように従来のレイアウトパターンとネットリストとの比較検証方法では、P型またはN型拡散領域とポリシリコンゲートが交わった部分をすべてトランジスタの入力ゲートと認識し、P型またはN型拡散領域でポリシリコンゲートと交わっていない部分をトランジスタのソース/ドレイン領域と認識していた。

【0009】

【発明が解決しようとする課題】設計における伝搬遅延時間のばらつく主な要因としては、動作電源電圧、周囲温度、プロセス公差などがある。LSIとしてはすべてが最も悪い条件となった場合でもその動作を保証するように設計しなければならない。ゲート長バラツキはプロセス公差の非常に大きな部分を占め、先に示したように、微細化が進むと、そのゲート長自身も短くなり、プロセス露光時の回折光などによる細りの影響は、さらに大きくなるため、ゲート長バラツキの割合が非常に大きくなって、それにより最大伝搬遅延係数が大きくなり、高性能なLSIを提供することが困難となるという課題があった。

【0010】さらに、レイアウトパターンとネットリストとの比較検証方法では、P型またはN型拡散領域とポリシリコンゲートが交わった部分をすべてトランジスタの入力ゲートと認識し、P型またはN型拡散領域でポリシリコンゲートと交わっていない部分をトランジスタのソース/ドレイン領域と認識していた。このため、レイアウトにダミートランジスタを配置した場合は、ネットリストにはダミートランジスタが存在しないため、その比較検証をおこなうと必ず不一致が生じ、比較検証することができなかった。

【0011】本発明はこのような課題を解消し、トランジスタのゲート長バラツキをなくし、微細化プロセスにおいても高性能のLSIを提供することを目的とする。

【0012】さらに、本発明はそれを実現するためのLSI設計におけるレイアウトパターンとネットリストとの

比較検証方法を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するために考案された本発明は、MOSFETゲートと拡散領域によってトランジスタを形成し、複数の活性なトランジスタのMOSFETゲート間隔を一定にするとともに、活性なトランジスタ隣接しないところでは、そのトランジスタが常にオフ状態となるMOSFETゲートをもつダミートランジスタを、上記複数の活性なトランジスタと同一のMOSFETゲート間隔となるよう配置することを特徴とするスタンダードセルを用いた半導体集積回路のレイアウト構造である。

【0014】本発明はまた、レイアウトパターンのダミートランジスタ部を認識し、そのダミートランジスタ部を除き、レイアウトパターンとネットリストとの比較検証をおこなうことを特徴とするスタンダードセルを用いた半導体集積回路の検証方法である。

【0015】

【発明の実施の形態】

（実施の形態1）以下本発明の第1の実施の形態の半導体集積回路のレイアウト構造について、図面を参照しながら説明する。図1は先に図9に示した従来例に相当する本発明の実施の形態のスタンダードセルのレイアウト構造図を示す。

【0016】図1のPS1, PS2, PS3はそれぞれ入力端子IN1, IN2, IN3に対応するポリシリコンゲートで、PS1, PS2, PS3が、P型拡散領域と交わる部分がPチャネルトランジスタP1, P2, P3であり、N型拡散領域と交わる部分がNチャネルトランジスタN1, N2, N3である。1a, 1bはその入力電源ライン(VDD)につながるポリシリコンゲートがP型拡散領域と交わっている常にオフ状態となっているPチャネルダミートランジスタで、2a, 2bは入力接地ライン(VSS)につながるポリシリコンゲートがN型拡散領域と交わっている常にオフ状態となっているNチャネルダミートランジスタである。

【0017】図1に示すように、すべての活性なトランジスタP1, P2, P3, N1, N2, N3を形成するポリシリコンゲートPS1, PS2, PS3ゲート長を一定値L、それらの間隔を一定値Sとするとともに、PチャネルトランジスタP1からPチャネルダミートランジスタ1aまでのポリシリコンゲートの間隔も一定値Sとし、PチャネルトランジスタP3からPチャネルダミートランジスタ1bまでのポリシリコンゲートの間隔も一定値Sとし、NチャネルトランジスタN1からNチャネルダミートランジスタ2aまでのポリシリコンゲートの間隔も一定値Sとし、NチャネルトランジスタN3からNチャネルダミートランジスタ2bまでのポリシリコンゲートの間隔も一定値Sとする。

【0018】このようにポリシリコンゲートの間隔を一定値Sで配置することにより、プロセス露光時の回折光などの影響がすべて等しくなり、図1の破線A-A'で示す

部分の断面は、ホトリソグラフィ技術で露光、現像が終了した状態で図2 (a) のようになり、エッチング、レジスト除去をおこなった後には図2 (b) のようにNチャネルトランジスタN1, N2, N3のすべてのゲート長が L' となる。また図示していないが、PチャネルトランジスタP1, P2, P3のすべてのゲート長も L' となる。

【0019】このように構成したスタンダードセルを用いて、ブロックを構成する場合の一例を図3を用いて説明する。

【0020】図3のセル1、セル2、セル3、セル4は10 図1で説明したダミートランジスタを両サイドにもつスタンダードセルである。セル1の右サイドのPチャネルダミートランジスタ1aとセル2の左サイドのPチャネルダミートランジスタ1bを重ね、セル1の右サイドのNチャネルダミートランジスタ2aとセル2の左サイドのNチャネルダミートランジスタ2bを重ねて配置する。同様に、セル2とセル3とのダミートランジスタ同士を重ねて配置し、セル3とセル4とのダミートランジスタ同士を重ねて配置する。このように配置することにより、すべての活性なトランジスタを形成するポリシリコンゲートの幅を半導体製造プロセス後に一定とすることができる。

【0021】なお、本実施の形態では、PチャネルトランジスタとNチャネルトランジスタとが、すべて同じゲート長であり、すべて同じゲート間隔であるとしたが、すべてのPチャネルトランジスタのゲート長とゲート間隔がそれぞれ同じで、すべてのNチャネルトランジスタのゲート長とゲート間隔がそれぞれ同じであれば、PチャネルトランジスタとNチャネルトランジスタとは異なっているもよい。

【0022】(実施の形態2) 以下本発明の第2の実施の形態の半導体集積回路のレイアウト構造について、図面を参照しながら説明する。図4 (a) は先に図9に示した従来例に相当する本発明の実施の形態のスタンダードセルのレイアウト構造図であり、図4 (b) はダミートランジスタセルのレイアウト構造図である。

【0023】図4 (a) のPS1, PS2, PS3はそれぞれ入力端子IN1, IN2, IN3に対応するポリシリコンゲートで、PS1, PS2, PS3が、P型拡散領域と交わる部分がPチャネルトランジスタP1, P2, P3であり、N型拡散領域と交わる部分がNチャネルトランジスタN1, N2, N3である。図4 (a) に示すように、すべての活性なトランジスタP1, P2, P3, N1, N2, N3を形成するポリシリコンゲートPS1, PS2, PS3のゲート長を一定値 L 、間隔を一定値 S とする。図4 (b) のダミートランジスタセルは、その入力が電源ライン(VDD)につながるポリシリコンゲートがP型拡散領域と交わっている常にオフ状態となっているPチャネルダミートランジスタと、その入力が接地ライン(VSS)につながるポリシリコンゲートがN型拡散領域と交わっている常にオフ状態となっているNチャネルダミートランジスタで構成す

る。

【0024】このように構成したスタンダードセルを用いて、ブロックを構成する場合の例を図5を用いて説明する。

【0025】図5のセル1、セル2、セル3、セル4は図4 (a) で説明したそれぞれのポリシリコンゲート間隔が一定値 S のスタンダードセルである。セル1の左サイド、セル1とセル2との間、セル2とセル3との間、セル3とセル4との間、セル4の右サイドに、セル1、セル2、セル3、セル4の各セルの両サイドのポリシリコンゲートから、そのポリシリコンゲートまでの距離が一定値 S となるように図4 (b) で説明したダミートランジスタセルを配置する。

【0026】このようにポリシリコンゲートの間隔を一定値 S で配置することにより、プロセス露光時の回折光などの影響がすべて等しくなり、すべての活性なトランジスタを形成するポリシリコンゲートの幅を半導体製造プロセス後に一定とすることができる。

【0027】なお、本実施の形態では、PチャネルトランジスタとNチャネルトランジスタとが、すべて同じゲート長であり、すべて同じゲート間隔であるとしたが、すべてのPチャネルトランジスタのゲート長とゲート間隔がそれぞれ同じで、すべてのNチャネルトランジスタのゲート長とゲート間隔がそれぞれ同じであれば、PチャネルトランジスタとNチャネルトランジスタとは異なっているもよい。

【0028】(実施の形態3) 以下本発明の第3の実施の形態の半導体集積回路のレイアウト検証方法について、図面を参照しながら説明する。図6に、図1または図4 (a)、図4 (b) のように構成したスタンダードセルを用いて、図3または図5で示したブロックのレイアウトパターンとネットリストとの比較検証フローを示す。

【0029】図6のステップ10では、EDIFなどのセルレベルのネットリストと、SPICEなどの各セルのトランジスタレベルの回路情報からブロックのネットリストの接続関係を認識する。ステップ20では、レイアウトパターンデータの各レイヤーの配置情報を抽出する。ステップ30では、ステップ20で抽出した各レイヤーに関してトランジスタ認識をおこなう。ステップ40では、ステップ20で抽出した各レイヤーに関して、アルミ配線やアルミ配線同士を接続したりするコンタクトの認識をおこなう。ステップ50では、ステップ30とステップ40で認識したトランジスタ、配線、コンタクトからレイアウトの接続関係を認識する。ステップ55では、ステップ50で認識したレイアウトの接続関係から、その入力が電源ライン(VDD)に接続されているPチャネルトランジスタと、その入力が接地ライン(VSS)に接続されているNチャネルトランジスタとをダミートランジスタであると認識し、それを除去する。そして、ステッ

ブ60では、ステップ10で認識したネットリストの接続関係と、ステップ55で認識したダミートランジスタを除くレイアウトの接続関係との比較照合をおこない、その結果を出力する。

【0030】このように、ダミートランジスタをその入力の接続状態から判断し、これをトランジスタとして認識しないことにより、レイアウトパターンとネットリストとの対応をとることができ、比較検証をおこなうことができる。

【0031】(実施の形態4)以下本発明の第4の実施の形態の半導体集積回路のレイアウト検証方法について、図面を参照しながら説明する。図7(a)、図7(b)は本発明の実施の形態のスタンダードセルのレイアウト構造図である。

【0032】図7(a)は、実施の形態1で示した図1(a)のスタンダードセルのダミートランジスタ部分を検証除外領域で囲んだものであり、図7(b)は、実施の形態2で示した図4(b)のダミートランジスタセルのダミートランジスタ部分を検証除外領域で囲んだものである。

【0033】このように構成したスタンダードセルを用いて、図3、図5で示したようなブロックのレイアウトパターンとネットリストとの比較検証フローについて説明する。

【0034】図8(a)は本発明の第4の実施の形態のレイアウトパターンとネットリストとの比較検証フローである。図8(a)のステップ10では、EDIFなどのセルレベルのネットリストと、SPICEなどの各セルのトランジスタレベルの回路情報からブロックのネットリストの接続関係を認識する。ステップ20では、レイアウトパターンデータの各レイヤーの配置情報を抽出する。ステップ30では、ステップ20抽出した各レイヤーに関してダミートランジスタを除くトランジスタ認識をおこなう。このステップにおいて検証除外領域を認識することにより、ダミートランジスタを認識する。この検証除外領域を除くことにより、ダミートランジスタを除いている。ステップ40では、ステップ20で抽出した各レイヤーに関して、アルミ配線やアルミ配線同士を接続したりするコンタクトの認識をおこなう。ステップ50では、ステップ30とステップ40で認識したトランジスタ、配線、コンタクトからレイアウトの接続関係を認識する。そして、ステップ60では、ステップ10で認識したネットリストの接続関係と、ステップ50で認識したレイアウトの接続関係との比較照合をおこない、その結果を出力する。

【0035】図8(a)のステップ30のトランジスタ認識について、もう少し詳細に図8(b)を用いて説明する。

【0036】図8(b)のステップ30(1)では、検証除外領域を除くP型拡散領域とポリシリコンゲートが交

った部分をPチャネルトランジスタの入力ゲートと認識する。ステップ30(2)では、検証除外領域を除くP型拡散領域でポリシリコンゲートと交わっていない部分をPチャネルトランジスタのソース/ドレイン領域と認識する。ステップ30(3)では、検証除外領域を除くN型拡散領域とポリシリコンゲートが交わった部分をNチャネルトランジスタの入力ゲートと認識する。ステップ30(4)では、検証除外領域を除くN型拡散領域でポリシリコンゲートと交わっていない部分をNチャネルトランジスタのソース/ドレイン領域と認識する。

【0037】このようにダミートランジスタを検証除外領域で囲み、そのダミートランジスタをトランジスタとして認識しないことにより、レイアウトパターンとネットリストとの対応をとることができ、比較検証をおこなうことができる。

【0038】

【発明の効果】以上の説明から明かなように、MOSFETゲートと拡散領域によってトランジスタを形成し、複数の活性なトランジスタのMOSFETゲート間隔を一定にするとともに、活性なトランジスタと隣接しないところでは、そのトランジスタが常にオフ状態となるMOSFETゲートをもつダミートランジスタを、上記複数の活性なトランジスタと同一のMOSFETゲート間隔となるよう配置することにより、MOSFETゲート長バラツキをなくし、最大伝搬遅延係数を小さくし、より高性能なLSIを提供することができる。

【0039】また、レイアウトパターンのダミートランジスタ部を認識し、そのダミートランジスタ部を除くことにより、レイアウトパターンとネットリストとの比較検証をおこなうことができる。

【0040】このように本発明によればMOSFETゲート長バラツキをなくし、微細化プロセスにおいても高性能のLSIを提供することができ、また、そのレイアウトパターンとネットリストとの比較検証を実現することができ、その実用的効果は絶大である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のスタンダードセルのレイアウト概略図

【図2】本発明の第1の実施の形態のプロセス工程概略図

【図3】本発明の第1の実施の形態のブロックレイアウト概略図

【図4】本発明の第2の実施の形態のスタンダードセルのレイアウト概略図

【図5】本発明の第2の実施の形態のブロックレイアウト概略図

【図6】本発明の第3の実施の形態のレイアウトパターンとネットリストとの比較検証フローを示す図

【図7】本発明の第4の実施の形態のスタンダードセルのレイアウト概略図

【図8】本発明の第4の実施の形態のレイアウトパターンとネットリストとの比較検証フローを示す図

【図9】従来のスタンダードセルのレイアウト概略図、回路図、論理図

【図10】従来のプロセス工程概略図

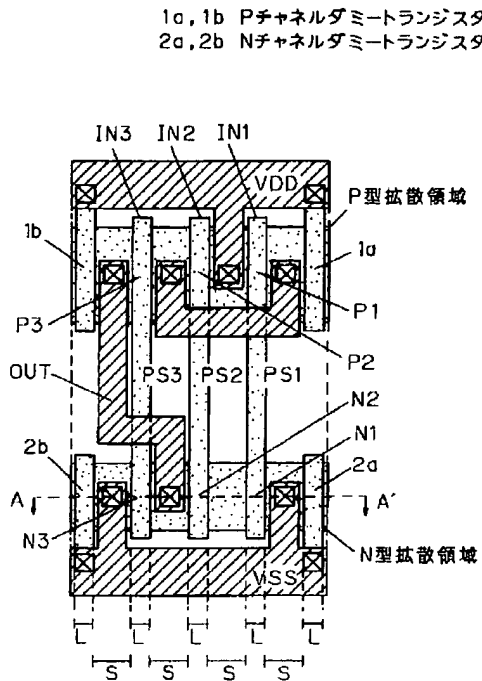
【図11】従来のレイアウトパターンとネットリストとの比較検証フローを示す図

【符号の説明】

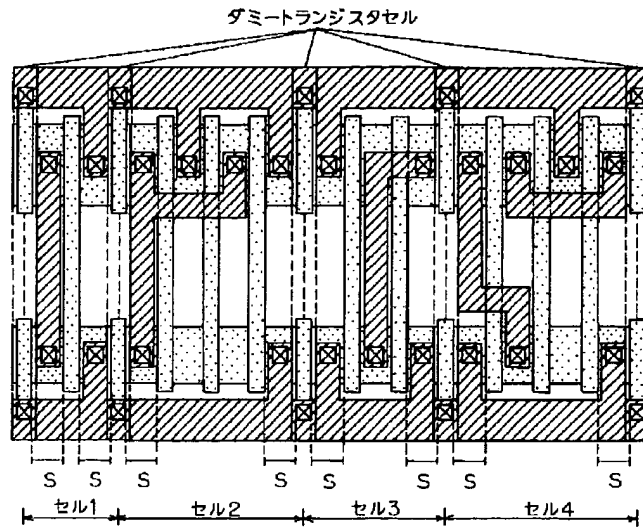
1a, 1b Pチャネルダミートランジスタ

2a, 2b Nチャネルダミートランジスタ

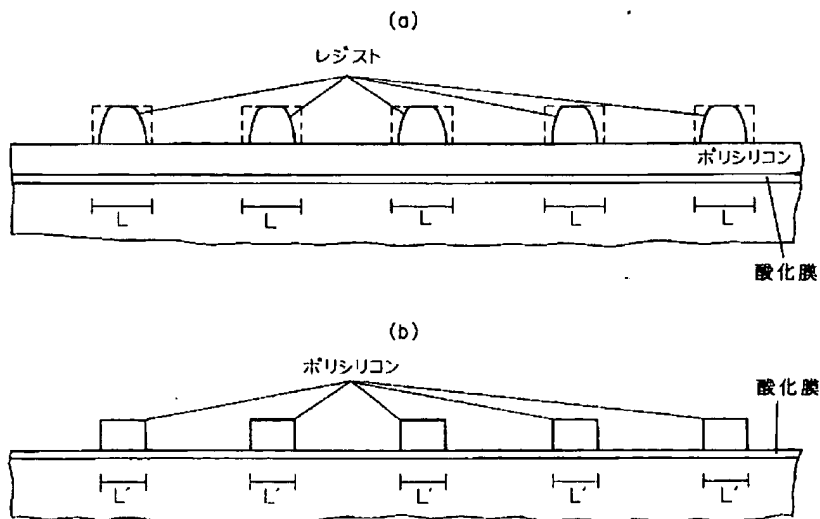
【図1】



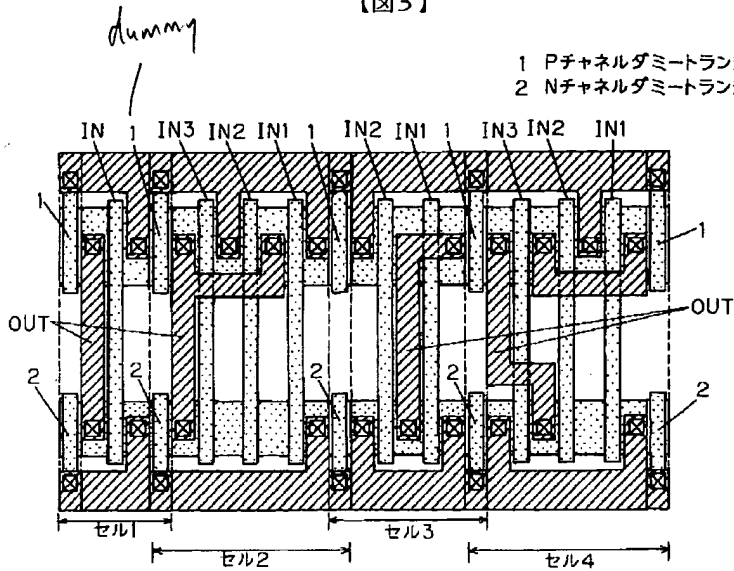
【図5】



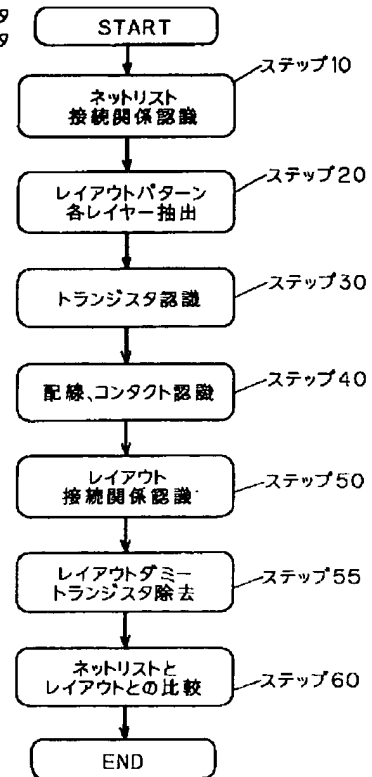
【図2】



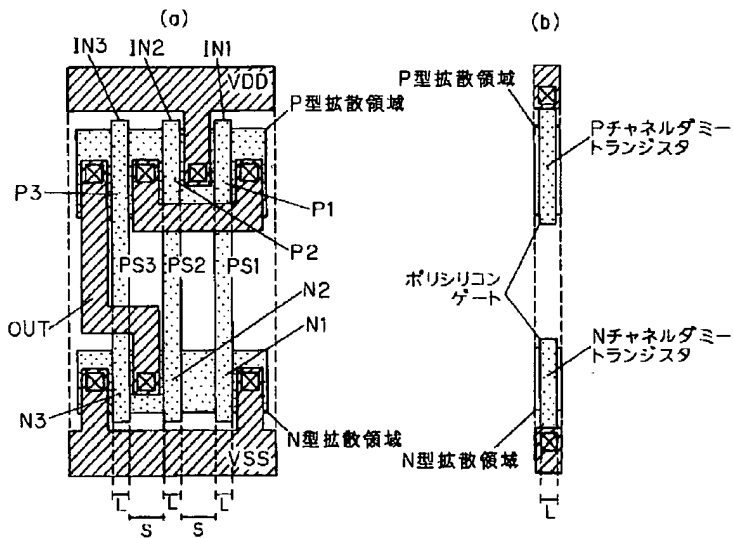
【図3】



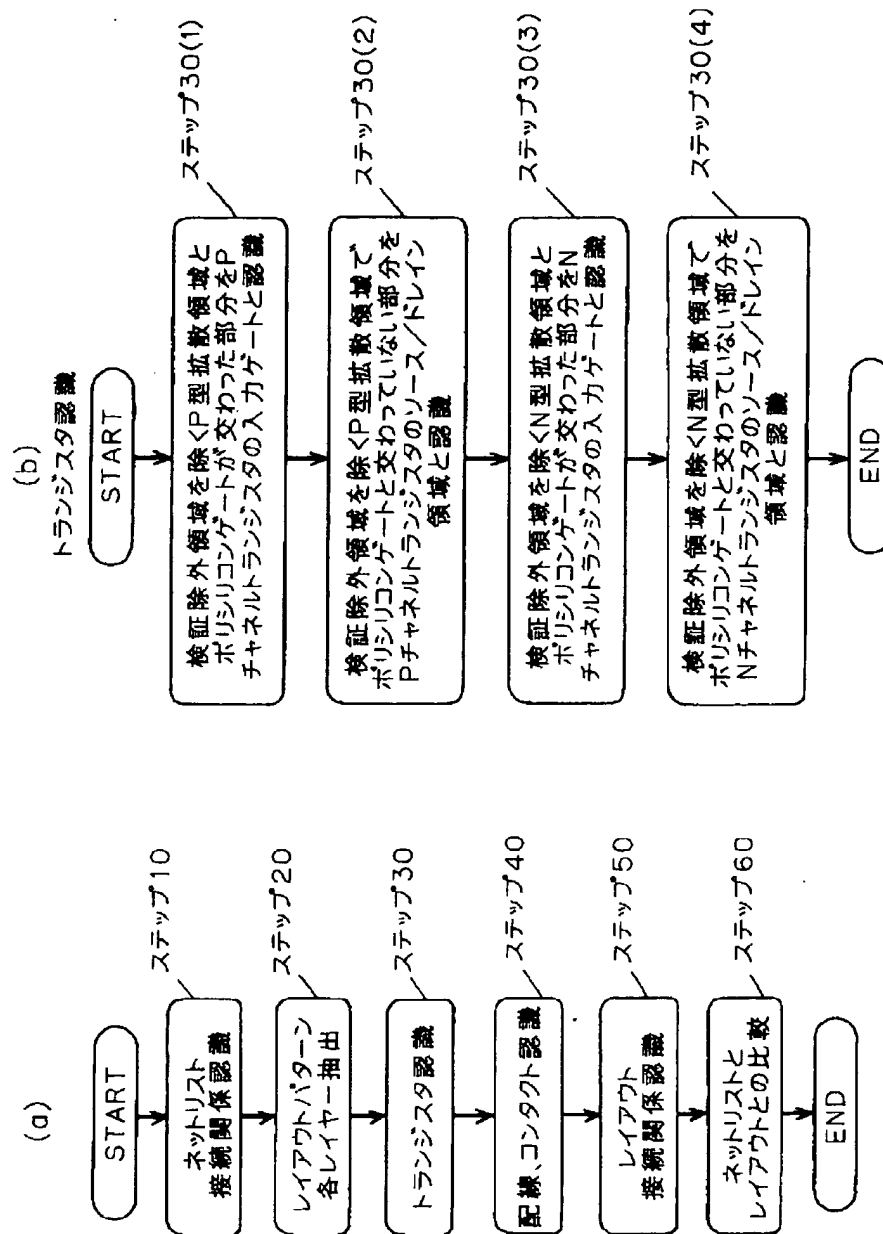
【図6】



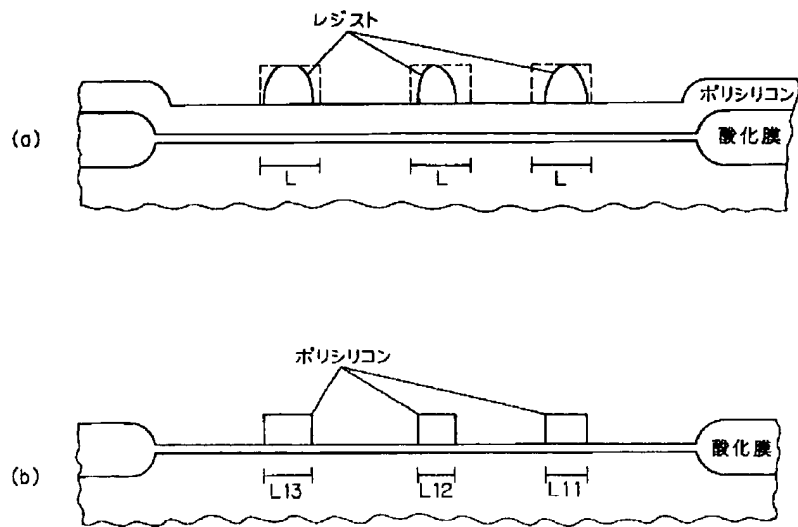
【図4】



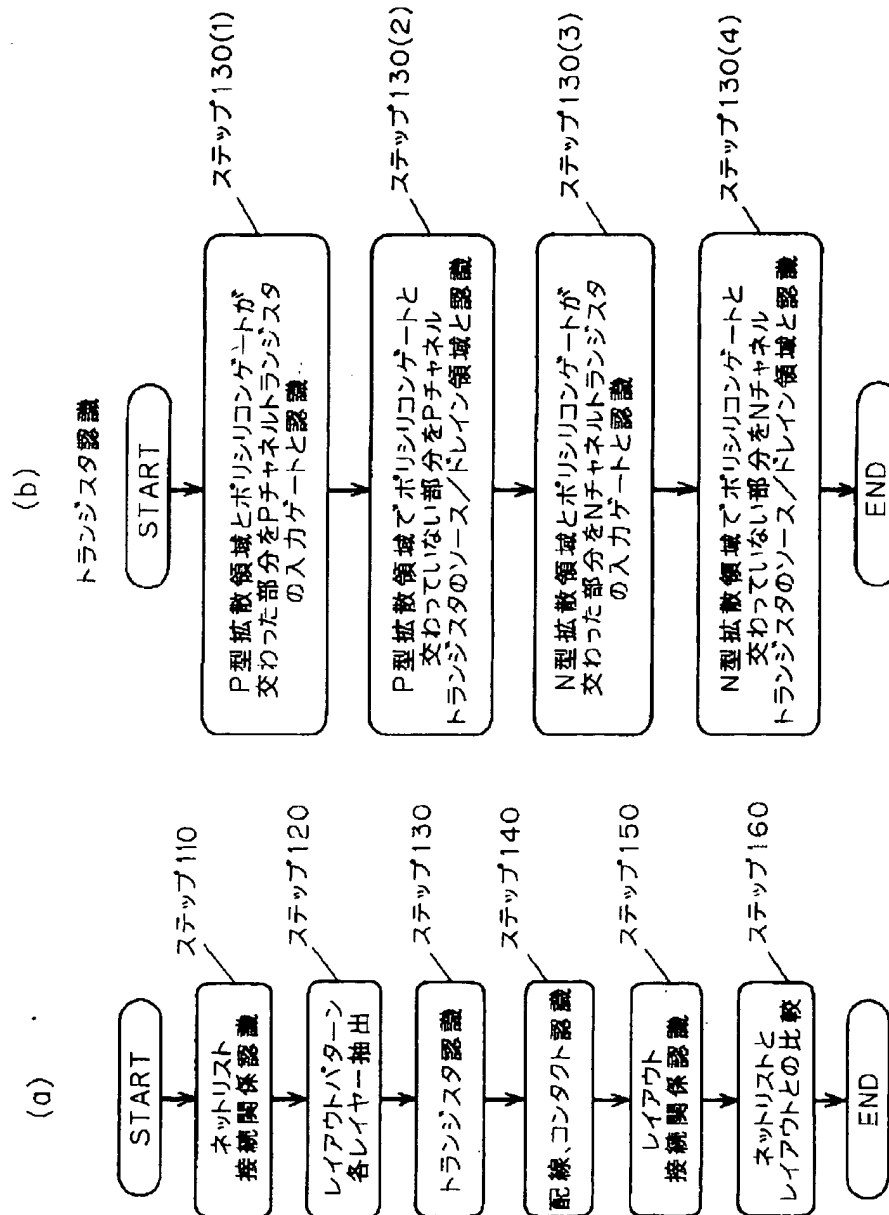
【図8】



【図10】



【図11】



DOCUMENT-IDENTIFIER: JP 09289251 A
TITLE: LAYOUT STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND
ITS
VERIFICATION METHOD

TTL:
LAYOUT STRUCTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS
VERIFICATION
METHOD

FPAR:
SOLUTION: There are set to a predetermined value gate lengths of polysilicon gates PS1, PS2, PS3 which form all active transistors of a standard cell, and set to a predetermined value S intervals of the polysilicon gates, and there are set to a predetermined value S intervals of the polysilicon gates up to a P channel dummy transistors 1a, 1b and N channel dummy transistors 2a, 2b which are always at an off state in a region where the active transistors are not adjacent. Variations of the gate lengths of the polysilicon gates are restricted by disposing the polysilicon gates at a predetermined interval and hence making the same influences of diffracted light upon process exposure.